

# SWITCH CIRCUIT

**Publication number:** JP9069767 (A)

**Publication date:** 1997-03-11

**Inventor(s):** KATAYAMA TETSUYA; HAYAKAWA JUNJI;  
MIKI TAKESHI

**Applicant(s):** DENSO CORP

**Classification:**

- international: **H03K17/16; H03K17/567; H03K17/687;  
H03K17/16; H03K17/56; H03K17/687; (IPC1-  
7): H03K17/687; H03K17/16; H03K17/567**

- European:

**Application number:** JP19960107195 19960426

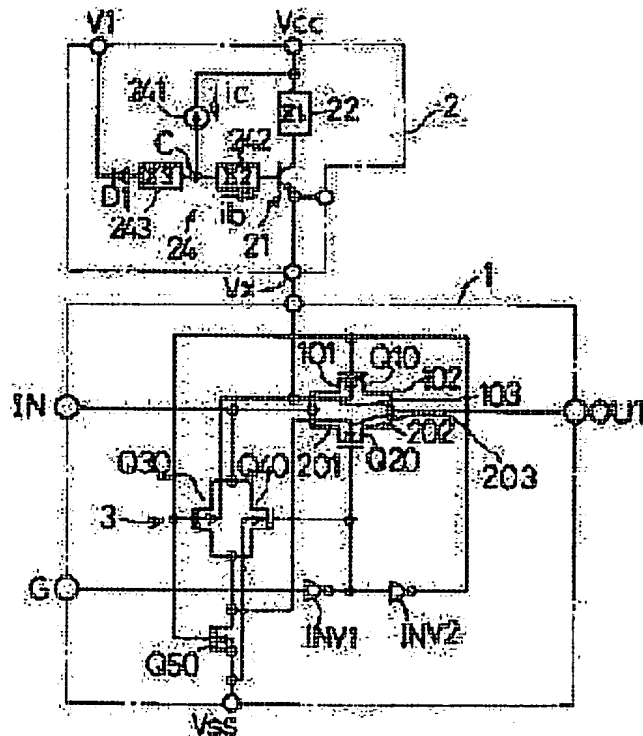
**Priority number(s):** JP19960107195 19960426; JP19950156439  
19950622

**Also published as:**

JP3682801 (B2)

## Abstract of JP 9069767 (A)

**PROBLEM TO BE SOLVED:** To improve the surge breaking capacity of a MOS switch by supplying only a current in the direction reverse-biasing the pn junction to an n-type substrate. **SOLUTION:** The pn junction between an n-type substrate 103 as a semiconductor area just under the gate of a transfer gate Q10 consisting of a PMOS transistor TR and its p-type input side semiconductor area 101 is reverse biased power feeding from a potential setting means 2. Especially as a unidirectional power source which supplies only the current in the direction reverse biasing the pn junction to the n-type substrate 103, the collector current of a pnp lateral bipolar parasitic TR is reduced and the current flowing between the input side semiconductor area 101 and an output side semiconductor area 102 is suppressed even if positive surge is inputted to an input terminal IN or an output terminal OUT. Even if negative surge is inputted to the input terminal IN or the output terminal OUT in the same constitution, the collector current of an npn lateral bipolar parasitic TR of a transfer gate Q20 is reduced, and the same current breaking effect is obtained.



Data supplied from the **esp@cenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69767

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K	17/687	9184-5K	H 0 3 K	G
	17/16	9184-5K		D
		9184-5K		M
	17/567	9184-5K		D

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平8-107195

(22) 出願日 平成8年(1996)4月26日

(31) 優先権主張番号 特願平7-156439

(32) 優先日 平7(1995)6月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 片山 哲也

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 早川 順二

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 三木 猛

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

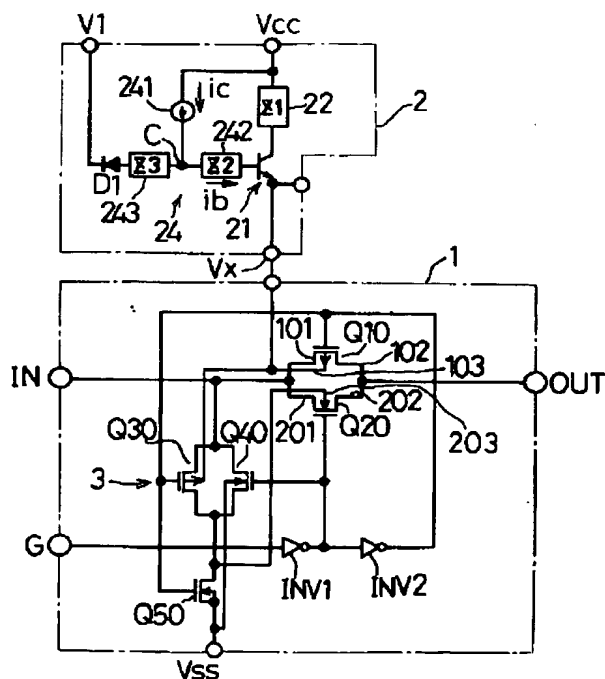
(74) 代理人 弁理士 大川 宏

(54) 【発明の名称】 スイッチ回路

(57) 【要約】 (修正有)

【課題】 MOSスイッチのサージ遮断性を改善する。

【解決手段】 PMOSトランジスタからなるトランスファゲートQ10のゲート直下半導体領域であるn型基板103とそのp型の入力側半導体領域101との間のpn接合は、電位設定手段2からの給電により逆バイアスされる。特に上記pn接合を逆バイアスする方向への電流のみをn型基板103に給電する単方向性電源として、入力端子IN又は出力端子OUTに正サージが入力しても、pnpラテラルバイポーラ寄生トランジスタのコレクタ電流を低減でき、入力側半導体領域101と出力側半導体領域102との間に流れる電流を抑止することができる。また、同様の構成で入力端子IN又は出力端子OUTに負サージが入力しても、トランスファゲートQ20のnpnラテラルバイポーラ寄生トランジスタのコレクタ電流を低減でき、同様の電流遮断効果を奏する。



## 【特許請求の範囲】

【請求項1】一導電型の入力側半導体領域が信号入力端子に接続され、一導電型の出力側半導体領域が信号出力端子に接続され、前記一導電型半導体領域はゲート直下の反対導電型半導体領域に接するとともに前記反対導電型半導体領域の表面に形成される反転チャンネルを通じて導通されるMOSトランジスタと、前記反対導電型半導体領域と前記一導電型半導体領域との間のpn接合に逆バイアス電圧を印加する電位設定手段とを備えるスイッチ回路において、

前記電位設定手段は、前記反対導電型半導体領域と前記一導電型半導体領域との間のpn接合を逆バイアスする方向の電流のみを前記反対導電型半導体領域に給電する単方向性電源からなることを特徴とするスイッチ回路。

【請求項2】前記電位設定手段は、所定の高位電源とn型としての前記反対導電型半導体領域との間に介設されるとともに、コレクタが前記高位電源側に接続され、エミッタが前記反対導電型半導体領域側に接続されるnpnエミッタホロワトランジスタを備える請求項1記載のスイッチ回路。

【請求項3】前記電位設定手段は、前記npnエミッタホロワトランジスタのベース電流を設定するベース電流設定手段を有し、前記ベース電流設定手段は、前記高位電源と所定の共通接続点との間に介設されて前記共通接続点に所定の基準電流を給電する給電手段と、前記共通接続点と前記npnエミッタホロワトランジスタのベースとの間に介設されて前記共通接続点から前記ベースにベース電流を給電するベース電流給電手段と、前記共通接続点と所定の基準電位点との間に介設されて前記両電流の差成分を吸引する差電流吸引手段とを備える請求項2記載のスイッチ回路。

【請求項4】前記電位設定手段は、所定の基準電位が印加される制御端子をもつとともに高位側主電極が所定の負荷素子を通じて高位電源に接続される第1のトランジスタと、前記トランスファゲートの入力端子に接続される制御端子をもつとともに高位側主電極が高位電源から給電される第2のトランジスタと、前記両トランジスタの低位側主電極と低位電源端との間に介設されて前記両トランジスタの主電流の合計を所定値に制限する共通負荷素子とを備える差動増幅回路を有し、前記第1のトランジスタの前記高位側主電極と前記負荷素子との接続点は前記npnエミッタホロワトランジスタのベースに接続される請求項2記載のスイッチ回路。

【請求項5】前記電位設定手段は、所定の低位電源とp型としての前記反対導電型半導体領域との間に介設されるとともに、コレクタが前記低位電源側に接続され、エミッタが前記反対導電型半導体領域側に接続されるpnpエミッタホロワトランジスタを備える請求項1記載のスイッチ回路。

【請求項6】前記電位設定手段は、前記pnpエミッタホロワトランジスタのベース電流を設定するベース電流設定手段を有し、前記ベース電流設定手段は、前記低位電源と所定の共通接続点との間に介設されて前記共通接続点から所定の基準電流を吸引する吸引手段と、前記共通接続点と前記pnpエミッタホロワトランジスタのベースとの間に介設されて前記ベースから共通接続点にベース電流を吸引するベース電流吸引手段と、前記共通接続点と所定の基準電位点との間に介設されて前記両電流の差成分を給電する差電流給電手段とを備える請求項5記載のスイッチ回路。

【請求項7】前記電位設定手段は、所定の基準電位が印加される制御端子をもつとともに低位側主電極が所定の負荷素子を通じて低位電源に接続される第1のトランジスタと、前記トランスファゲートの入力端子に接続される制御端子をもつとともに低位側主電極が低位電源から給電される第2のトランジスタと、前記両トランジスタの高位側主電極と高位電源端との間に介設されて前記両トランジスタの主電流の合計を所定値に制限する共通負荷素子とを備える差動増幅回路を有し、前記第1のトランジスタの前記低位側主電極と前記負荷素子との接続点は前記pnpエミッタホロワトランジスタのベースに接続される請求項5記載のスイッチ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はMOSトランジスタを用いたスイッチ回路に関し、特にそのウエル電位設定回路に関する。本発明のスイッチ回路は例えばCMOSアナログスイッチ回路やそれを用いた回路に適用される。

## 【0002】

【従来の技術】従来のCMOSアナログスイッチ回路を図12に示す。CMOSアナログスイッチを構成するQ10、Q20はそれぞれトランスファゲートをなすMOSトランジスタであって、Q10はPチャンネルMOSトランジスタ(PMOST)、Q20はNチャンネルMOSトランジスタ(NMOST)である。INV1は入力信号電圧を増幅する反転バッファであり、INV2はINV1の出力を更に反転するインバータであり、周知の回路構成である。

【0003】ここで、入力端子INに正サージ（正方向のサージ電圧）が入力して、Q10のチャンネル直下のN型基板（当然、N型ウエル領域でもよい）をベースとし、Q10の入力側主電極をなすP型領域をエミッタとし、Q10の出力側主電極をなすP型領域をコレクタとするラテラルpnpバイポーラトランジスタからなる寄生トランジスタTyが導通すると、CMOSアナログスイッチの遮断時でもこの正サージの影響がCMOSアナログスイッチの出力端子OUTに電位変化として現れてしまう。

【0004】同様に、入力端子INに負サージ（負方向のサージ電圧）が入力して、Q20のチャンネル直下のP型ウェルをベースとし、Q20の入力側主電極をなすN型領域をエミッタとし、Q20の出力側主電極をなすN型領域をコレクタとするラテラルnpnバイポーラトランジスタからなる寄生トランジスタTxが導通すると、CMOSアナログスイッチの遮断時でもこの負サージの影響がCMOSアナログスイッチの出力端子OUTに電位変化として現れてしまう。

【0005】図13は、従来のCMOSアナログスイッチ回路の他例であって、CMOSTransファゲート（アナログスイッチ）であるQ30、Q40を負荷素子とし、ソース接地のNMOSTランジスタQ50をドライバ素子とする変形MOSインバータを入力端子INと接地電位Vssとの間に接続したものである。この変形MOSインバータは、アナログスイッチの制御端子Gの電位がHiとなってQ20がオンする状態において、Q20のPウェル電位を入力端子INの電位に略追従させて入力信号電圧の変化によるQ20のチャンネルコンダクタンス変調効果を低減してQ20のオン特性を改善している。しかし、図13の回路でも図12の回路と同じく正サージが入力端子INに侵入すると、上記寄生トランジスタの作用により出力端子OUTに正サージの影響が現れてしまう。

【0006】特公平6-103733号公報は、上記問題を解決するために、CMOSアナログスイッチを2段縦続接続するとともに、初段アナログスイッチが集積される初段半導体領域と次段アナログスイッチが集積される次段半導体領域との間の境界部に沿って、一導電型の基板表面に反対導電型の電荷吸収領域を形成している。このようにすれば、サージ電圧が初段アナログスイッチの入力端に導入されることにより基板表面部に形成されて初段アナログスイッチの入力端子に接続された反対導電型の表面領域と基板との間のpn接合が順バイアスされ、その結果としてこの反対導電型の表面領域から基板へ少数キャリア電荷が注入されても、次段アナログスイッチの出力端へのこの少数キャリア電荷の影響を排除することができる。

【0007】

【発明が解決しようとする課題】しかしながら、上記したアナログスイッチ（トランスファゲート）を2段縦続接続する場合にはアナログスイッチ（トランスファゲート）の作動遅れが重なって出力信号の遅延が増大する。特に、両アナログスイッチの接続点の寄生容量を初段アナログスイッチのチャンネル抵抗と初段アナログスイッチに接続される外部アンプの出力抵抗とを通じて放電することになるので、これらの寄生容量及び抵抗のCR時定数に依存してアナログスイッチ（トランスファスイッチ）の信号伝送の遅延及び波型歪（高域減衰）が生じてしまう。

【0008】また、アナログスイッチを2段縦続接続するためにアナログスイッチ回路の全体としてのオン抵抗値を単段のそれと等しくしようとすれば、初段、次段とも2倍の面積を必要とし、結局、2段縦続型のアナログスイッチ回路は単段のそれと比べて4倍ものチップ面積を要するという問題もあった。本発明は上記問題点に鑑みなされたものであり、チップ面積の増大を抑止しつつMOSスイッチのサージ遮断性を改善することを、その目的としている。

【0009】

【課題を解決するための手段】請求項1記載の回路について以下に説明する。まず、PMOSTランジスタからなるスイッチ回路について説明する。そのゲート直下半導体領域であるn型基板とそのp型の入力側半導体領域（又は出力側半導体領域）との間のpn接合は、電位設定手段によるn型基板の電位設定により逆バイアスされている。特に本回路では、この電位設定手段を、上記pn接合を逆バイアスする方向への電流のみをn型基板に給電する単方向性電源（一方向へのみ電流が流れる電源回路）で構成している。

【0010】このようにすれば、p型入力側半導体領域に大きな正サージが侵入しても、上記pn接合が持続的に順バイアスしてn型基板から電位設定手段へ電流（ベース電流）が流れ込むことがなく、そのために上記両p型領域をエミッタ、コレクタとし、n型基板をベースとするnpnバイポーラ寄生トランジスタのコレクタ電流をこのベース電流の抑圧分だけ低減でき、その結果、トランスファゲートの遮断時において入力側半導体領域から出力側半導体領域に流れる電流（コレクタ電流）を低減することができる。

【0011】同様に、NMOSTランジスタからなるスイッチ回路について説明する。そのゲート直下半導体領域であるp型基板とそのn型の入力側半導体領域（又は出力側半導体領域）との間のpn接合は、電位設定手段によるp型ウェルの電位設定により逆バイアスされている。特に本回路では、この電位設定手段を、上記pn接合を逆バイアスする方向への電流のみをp型ウェルに給電する単方向性電源（一方向へのみ電流が流れる電源回路）で構成している。ただし、この場合、上記pn接合を逆バイアスする方向の電流値は負の符号をもつ。つまり、電流は、p型ウェルから外部に吸引される。

【0012】このようにすれば、n型入力側半導体領域に大きな負サージが侵入しても、上記pn接合が持続的に順バイアスして電位設定手段からp型ウェル領域へ電流（ベース電流）が流れ込むことがなく、そのために上記両n型領域をエミッタ、コレクタとし、p型ウェル領域をベースとするnpnバイポーラ寄生トランジスタのコレクタ電流をこのベース電流の抑圧分だけ低減でき、その結果、トランスファゲートの遮断時において入力側半導体領域から出力側半導体領域に流れる電流（コレク

タ電流)を低減することができる。

【0013】請求項2記載の回路によれば請求項1記載の回路において更に、高位電源からnpnエミッタホロワトランジスタを通じて電流がn型基板(すなわちPMOSTのゲート直下半導体領域)に供給されるので、簡単に上記単方向性電源を構成することができる。すなわち、PMOSTのp型入力側半導体領域に入力する正サージが大きくてn型基板の電位が上記高位電源電圧を超過する場合には、高位電源からnpnエミッタホロワトランジスタを通じてn型基板にベース電流を供給することがなく、コレクタ電流がnpnラテラル寄生トランジスタを通じてPMOSTのp型出力側半導体領域へ流れるという問題を抑止することができる。

【0014】請求項3記載の回路によれば請求項2記載の回路において更に、上記正サージの入力によるn型基板の電位上昇が生じても、それに応じてnpnエミッタホロワトランジスタのベース電位が上昇するので、n型基板の電位上昇を抑止することができる。なお、従来のように最初からn型基板に高位電源電圧を印加する場合には、正サージがp型入力側半導体領域に入力しない通常の動作時における上記pn接合の逆バイアスが大きくなるのでトランスファゲートをなすPMOSTトランジスタの特性が悪化する欠点があったが、本構成ではこの問題も解決することができる。

【0015】請求項4記載の回路によれば請求項2記載の回路において更に、差動増幅回路の第2のトランジスタの制御入力端子をトランスファゲートの入力端子(すなわち入力側半導体領域)に接続し、第1のトランジスタの制御入力端子に所定の基準電圧を印加し、第1のトランジスタのコレクタ(又はドレイン)の電圧を上記npnエミッタホロワトランジスタのベースに印加している。ただし、正サージが入力しない場合のトランスファゲートの入力端子の電位レベルは上記基準電圧未満とする。

【0016】このようにすれば、トランスファゲートの入力端子(すなわち入力側半導体領域)に正サージが入力しない場合には、第1のトランジスタがオンし、第1のトランジスタの負荷素子の電圧降下だけnpnエミッタホロワトランジスタのベース電位が低下し、この電位状態でPMOSTトランジスタはトランスファゲート(アナログスイッチ)として作動する。

【0017】一方、トランスファゲートの入力端子(すなわち入力側半導体領域)に正サージが入力してその電位が上昇すると、第2のトランジスタがオンし、第1のトランジスタがオフし、第1のトランジスタの負荷素子の電圧降下が0となり、npnエミッタホロワトランジスタのベース電位は急上昇し、トランスファゲートをなすPMOSTトランジスタのn型基板電位は急上昇する。したがって、正サージ入力時の上記pn接合の順バイアスを抑止することができる。

【0018】請求項5記載の回路によれば請求項1記載の回路において更に、npnエミッタホロワトランジスタを通じて電流がp型ウエル領域(すなわちNMOSTのゲート直下半導体領域)から低位電源へ吸引されるので、簡単に上記単方向性電源を構成することができる。すなわち、NMOSTのn型入力側半導体領域に入力する負サージが大きくてp型ウエル領域の電位が上記低位電源電圧を下回る場合には、低位電源はnpnエミッタホロワトランジスタを通じてp型ウエル領域からベース電流を吸引することがなく、コレクタ電流がnpnラテラル寄生トランジスタを通じてNMOSTのn型出力側半導体領域へ流れるという問題を抑止することができる。NMOSTのn型入力側半導体領域に入力する負サージが大きくてp型ウエル領域の電位が上記低位電源電圧を超過する場合でも、ベース電流がp型ウエル領域から低位電源へ吸引されて大きなコレクタ電流がnpn寄生トランジスタを通じてp型出力側半導体領域へ流れるという問題を改善することができる。

【0019】請求項6記載の回路によれば請求項5記載の回路において更に、上記負サージの入力によるp型ウエル領域の電位低下が生じても、それに応じてnpnエミッタホロワトランジスタのベース電位が低下するので、p型ウエル領域の電位上昇を抑止することができる。なお、従来のように最初からp型ウエル領域低位電源電圧を印加する場合には、負サージがn型入力側半導体領域に入力しない通常の動作時における上記pn接合の逆バイアスが大きくなるのでトランスファゲートをなすNMOSTトランジスタの特性が悪化する欠点があったが、本構成ではこの問題も解決することができる。

【0020】請求項7記載の回路によれば請求項5記載の回路において更に、差動増幅回路の第2のトランジスタの制御入力端子をトランスファゲートの入力端子すなわち入力側半導体領域に接続し、第1のトランジスタの制御入力端子に所定の基準電圧を印加している。そして、この第1のトランジスタのコレクタ(又はドレイン)の電圧を上記npnエミッタホロワトランジスタのベースに印加している。ただし、負サージが入力しない場合のトランスファゲートの入力端子の電位レベルは上記基準電圧より超過している(正方向に大きい)ものとする。

【0021】トランスファゲートの入力側半導体領域に負サージが入力しなければ、第2のトランジスタはオフし、第1のトランジスタはオンし、第1のトランジスタの負荷素子の電圧降下だけnpnエミッタホロワトランジスタのベース電位は上昇し、この電位状態でNMOSTトランジスタはトランスファゲート(アナログスイッチ)として作動する。

【0022】一方、トランスファゲートの入力側半導体領域に負サージが入力すると、第2のトランジスタはオンし、第1のトランジスタはオフし、第1のトランジスタ

タの負荷素子の電圧降下は0となり、npnエミッタホロワトランジスタのベース電位は急低下し、トランスファゲートをなすNMOSTランジスタのp型ウエル領域電位は急低下する。したがって、負サージ入力時の上記pn接合の順バイアスを抑止することができる。

【0023】

【実施例】

(実施例1) 本発明のスイッチ回路の一つとしてアナログスイッチ回路を例にとり、以下に説明する。実施例1を図1を参照して説明する。このアナログスイッチ回路は、CMOSアナログスイッチ(CMOSTランスファゲート)1と、電位設定回路(電位設定手段)2とからなる。

【0024】CMOSアナログスイッチ1は、互いに並列接続されたPMOSTランジスタQ10及びNMOSTランジスタQ20からなる。INはその入力端子であり、PMOSTランジスタQ10のP型入力側半導体領域101及びNMOSTランジスタQ20のN型入力側半導体領域201に接続されている。OUTはその出力端子であり、PMOSTランジスタQ10のP型出力側半導体領域102及びNMOSTランジスタQ20のN型出力側半導体領域202に接続されている。

【0025】なお、INV1は制御入力端子Gへ印加される制御信号電圧を反転するCMOSインバータであり、INV2はINV1の出力電圧を更に反転するCMOSインバータである。このCMOSアナログスイッチ1の基本動作は以下の通りである。制御入力端子Gへ印加される制御信号電圧がLoとなれば、両トランジスタQ10、Q20がオンして、CMOSアナログスイッチ1がオンする。詳しく説明すると、入力端子INの電位が出力端子OUTの電位よりHiであれば、トランジスタQ10の入力側半導体領域101及びトランジスタQ20の出力側半導体領域202がソースとなってキャリアの移動が生じ、入力端子INの電位が出力端子OUTの電位よりLoであれば、トランジスタQ10の出力側半導体領域102及びトランジスタQ20の入力側半導体領域201がソースとなってキャリアの移動が生じ、これにより出力端子OUTの電位は入力端子INの電位に一致することになる。

【0026】ただし、入力端子INの電位がHiであれば、NMOSTランジスタQ20のしきい値電圧及びそのオン抵抗の増大のため電流は主としてPMOSTランジスタQ10を通じて流れ、逆に入力端子INの電位がLoであれば、PMOSTランジスタQ10のしきい値電圧及びそのオン抵抗の増大のため電流は主としてNMOSTランジスタQ20を通じて流れる。なお、103はPMOSTランジスタQ10のN型基板領域(ゲート直下半導体領域)であり、203はNMOSTランジスタQ20のp型ウエル領域(ゲート直下半導体領域)である。

【0027】CMOSアナログスイッチ1は、トランジスタQ20の電位設定を行うNMOST電位設定回路部3を内蔵している。NMOST電位設定回路部3は、CMOSTランスファゲート(アナログスイッチ)を構成するPMOSTランジスタQ30及びNMOSTランジスタQ40を負荷素子とし、ソース接地形式のNMOSTランジスタQ50をドライバ素子とする変形MOSインバータ回路を入力端子INと低位電源電圧(単に低位電源ともいう)Vssとの間に接続したものである。

【0028】この変形MOSインバータ回路は、このアナログスイッチの制御端子Gの電位がLoとなってトランジスタQ20がオンする状態において、トランジスタQ20のPウエル領域の電位を入力端子INの電位(入力信号電圧Vi)に略追従させて入力信号電圧Viの変化によるトランジスタQ20のチャンネルコンダクタンス変調効果を低減して、トランジスタQ20のオン特性を改善するためのものである。

【0029】制御入力端子Gの電位がHiの場合には、トランジスタQ50がオンし、トランジスタQ30、Q40がオフし、Pウエル領域203の電位は低位電源電圧Vssに設定される。この時、NMOSTランジスタQ20はオフしており、入力端子INの電位(入力信号電圧Vi)がLoとなってもNMOSTランジスタQ20のn型入力側半導体領域201とp型ウエル領域203との間のpn接合は順バイアスしない。

【0030】制御入力端子Gの電位がLoの場合には、トランジスタQ50がオフし、トランジスタQ30、Q40がオンする。トランジスタQ30、Q40はCMOSアナログスイッチ(トランスファゲート)を構成するので、それらのチャンネルコンダクタンスは入力端子INの電位(入力信号電圧Vi)の変動に関わらず大きい値に維持される。その結果、NMOSTランジスタQ20のp型ウエル領域203の電位はトランジスタQ30、Q40を通じて入力端子INの電位(入力信号電圧Vi)に追従することになり、これによりNMOSTランジスタQ20のn型入力側半導体領域201の電位変動によるそのチャンネルコンダクタンス変調効果を低減して、トランジスタQ20のオン特性が改善される。

【0031】電位設定回路2は、本発明でいう電位設定手段を構成するものであって、npnエミッタホロワトランジスタ21と、そのコレクタと高位電源電圧(単に高位電源ともいう)Vccとを接続するコレクタ抵抗22と、本発明でいうベース電流設定手段をなすベース電流設定回路部24とからなる。なお、npnエミッタホロワトランジスタ21のエミッタを所定のエミッタ負荷素子を通じて低位電源電圧Vssに接続してもよい。このエミッタ負荷素子は、抵抗素子の他、降伏電圧が少なくとも基準電位V1より高く設定されたツェナーダイオードなどで構成されることができる。

【0032】ベース電流設定回路部24は、高位電源電

圧 $V_{cc}$ と共通接続点Cとの間に介設された定電流源241(給電手段)と、共通接続点Cとnpnエミッタホロワトランジスタ21のベースとの間に介設されて共通接続点Cからベースにベース電流を給電する抵抗242と、共通接続点CをダイオードD1を通じて基準電位点V1に接続する抵抗243(差電流吸引手段)とからなる。

【0033】この電位設定回路2の動作を以下に説明する。入力端子INに正サージが入力しない状態において、npnエミッタホロワトランジスタ21はCMOSアナログスイッチ1の各pn接合の漏れ電流を供給している。この時、ベース電流設定回路部24は、npnエミッタホロワトランジスタ21の上記エミッタ電流の $1/k$ ( $k$ はその電流増幅率)倍のベース電流 $i_b$ をnp

$$Z_3 \cdot (i_c - i_b) + \Delta V + V_1 = Z_2 \cdot i_b + \Delta V + V_x$$

上式から、

【0036】

【数2】

$$V_x = Z_3 \cdot i_c - (Z_3 + Z_2) \cdot i_b + V_1$$

すなわち、 $V_x$ は $i_b$ を一定と仮定すれば、 $V_1$ により決定される。また、共通接続点Cの電位を $V_c$ とすれば、以下の式が成立する。

【0037】

【数3】 $V_c = i_b \cdot Z_2 + \Delta V + V_x$

$$V_c = Z_2 \cdot (V_1 - V_c + i_c \cdot Z_3 + \Delta V) / Z_3 + \Delta V + V_x$$

が成立する。そして数式5から、

【0041】

【数7】 $V_c (1 + Z_2 / Z_3)$

$$= Z_2 \cdot (V_1 + i_c \cdot Z_3 + \Delta V) / Z_3 + \Delta V + V_x$$

が成立する。数式6から正サージによりnpnエミッタホロワトランジスタ21のエミッタ電位 $V_x$ が上昇すると、それに応じて共通接続点Cの電位 $V_c$ も上昇することがわかる。

【0042】更に、このようなエミッタ電位 $V_x$ の上昇に応じて共通接続点Cの電位 $V_c$ が追従して上昇するために、npnエミッタホロワトランジスタ21のエミッタ・ベース間のpn接合が正サージにより逆バイアスされて降伏することを防止することができる。なお、npnエミッタホロワトランジスタ21のベース電位を一定電位とすることもできる。この場合には、正サージの入力によりnpnエミッタホロワトランジスタ21のエミッタ電位が上昇してそのエミッタ・ベース間のpn接合が降伏してしまう可能性が生じる。

【0043】また、npnエミッタホロワトランジスタ21のベースに高位電源電圧 $V_{cc}$ を直接印加することは可能であるが、この場合には入力端子INに正サージが入力されない場合においても、n型基板103に $V_{cc} - 0.7V$ 程度の高電位が常に入力されてしまい、好ましくない。つまり、従来のようにn型基板103に高

nエミッタホロワトランジスタ21のベースに供給する。定電流源241は、定電流 $i_c$ を共通接続点Cに給電し、残りの電流 $i_c - i_b$ は基準電圧点(単に基準電圧ともいう)V1に放電される。

【0034】いま、抵抗242の抵抗値を $Z_2$ 、抵抗243の抵抗値を $Z_3$ 、電位設定回路2の出力電圧すなわちMOSトランジスタQ10のゲート直下半導体領域であるn型基板103の電位を $V_x$ 、npnエミッタホロワトランジスタ21のエミッタ・ベース間の順方向電圧降下=ダイオードD1の順方向電圧降下= $\Delta V$ とすれば、以下の式が成立する。

【0035】

【数1】

【0038】

【数4】 $V_c = V_1 - i_b \cdot Z_3 + i_c \cdot Z_3 + \Delta V$

数式4から、

【0039】

【数5】

$$i_b = (V_1 - V_c + i_c \cdot Z_3 + \Delta V) / Z_3$$

が成立し、数式5から、

【0040】

【数6】

位電源電圧 $V_{cc}$ を直接印加する場合には、正サージによりn型基板103の電位がそれ以上となると、npnエミッタホロワトランジスタ21の降伏したエミッタ・ベース間のpn接合を通じてn型基板103から高位電源 $V_{cc}$ へnpnラテラル寄生トランジスタのベース電流が吸引されることになり、npnラテラル寄生トランジスタのコレクタ電流が異常に増大する欠点がある。これらの問題は本実施例の電位設定回路(本発明でいう単方向性電源)2により解決される。

(実施例2)図1に示す電位設定回路2の他の実施例を図3を参照して説明する。

【0044】この電位設定回路2aは、図1に示す電位設定回路2においてコレクタ抵抗22を省略し、ダイオードD1の代わりに、縦続接続した所定数の接合ダイオード25を抵抗243と低位電源電圧 $V_{ss}$ との間に配置したものである。このようにすれば、基準電圧V1を作成する定電圧回路を簡略化することができる。なお、この実施例では、定電流源241はゲートに低位電源電圧 $V_{ss}$ が印加されたソース接地形式のPMOSTにより構成されているが、その他、pnpトランジスタを用い、そのエミッタに高位電源電圧 $V_{cc}$ を印加し、そのコレクタを共通接続点Cに接続し、そのベースをベース電流制限抵抗を通じて低位電源 $V_{ss}$ に接続してもよい。

(実施例3)図1に示す電位設定回路2の他の実施例を

図3を参照して説明する。

【0045】この電位設定回路2bは、縦続接続した3個の接合ダイオード26を高位電源電圧 $V_{cc}$ とn型基板103との間に配置したものである。この場合、n型基板103の電位が高位電源電圧 $V_{cc}$ より相当高くなっても接合ダイオード26を縦続した分だけ接合ダイオード26の降伏を抑止することができる。

(実施例4) 図1に示す電位設定回路2の他の実施例を図4を参照して説明する。

【0046】この電位設定回路2cは、差動増幅回路4と、定電圧発生回路5と、npnエミッタホロワトランジスタ21とからなる。差動増幅回路4は、一對のnpnトランジスタ41、42と、その共通エミッタ負荷素子43と、コレクタ抵抗44、45とからなる。トランジスタ41、42のエミッタは共通エミッタ負荷素子(共通負荷素子)43を通じて低位電源 $V_{ss}$ に接続されている。トランジスタ41(第2のトランジスタ)のコレクタはコレクタ抵抗44を通じて高位電源 $V_{cc}$ に接続され、トランジスタ42(第1のトランジスタ)のコレクタはコレクタ抵抗45を通じて高位電源 $V_{cc}$ に接続されている。

【0047】共通エミッタ負荷素子43はゲート直下半導体領域であるp型領域が低位電源電圧 $V_{ss}$ に接続され、かつ、ゲート電極が高位電源 $V_{cc}$ に接続されたNMOSTからなり、コレクタ抵抗44、45はそれぞれゲート直下半導体領域であるn型領域が高位電源 $V_{cc}$ に接続されかつゲート電極が低位電源電圧 $V_{ss}$ に接続されたNMOSTからなる。もちろん、素子43、44、45は単なる抵抗素子で構成でき、更に、共通エミッタ負荷素子43は定電流源とすることができる。トランジスタ41のベースは入力端子INに接続され、トランジスタ42のベースは定電圧発生回路5の出力端に接続されている。

【0048】定電圧発生回路5は、多段縦続接続された電圧降下用のpn接合ダイオード51と、最低電位端のダイオード51のカソードと低位電源 $V_{ss}$ とを接続する放電抵抗52とからなり、両者の接続点が出力端をなす。なお、放電抵抗52の省略は可能である。また、多段縦続接続された電圧降下用のpn接合ダイオード51の代わりに単なる抵抗素子を採用することも可能であり、ツェナダイオードを採用することも可能である。

【0049】トランジスタ42のコレクタはnpnエミッタホロワトランジスタ21のベースに接続されている。定電圧発生回路5は基準電圧 $V_2$ を出力する。以下、この電位設定回路2cの動作を説明する。なお、正サージが入力端子INに入力されない状態において、基準電圧 $V_2$ は入力端子INの電位より正であるとする。

【0050】入力端子INに正サージが入力しない場合には、トランジスタ42はオンし、そのコレクタ電位は $(V_{cc} - i \cdot r)$ となる。 $i$ はソース接地トランジス

タ43によって規定される電流であり、 $r$ はコレクタ抵抗45の抵抗値である。したがって、npnエミッタホロワトランジスタ21の出力電圧は $(V_{cc} - i \cdot r - \Delta V)$ となる。 $\Delta V$ はnpnエミッタホロワトランジスタ21のエミッタ・ベース間のpn接合の順方向電圧降下である。

【0051】入力端子INに正サージが入力して入力端子INの電位が基準電圧 $V_2$ を超えると、トランジスタ41がオンし、トランジスタ42がオフし、npnエミッタホロワトランジスタ21のベースにはほぼ高位電源電圧 $V_{cc}$ が印加され、npnエミッタホロワトランジスタ21はMOSTランジスタQ10のn型基板103の電位を $V_{cc} - \Delta V$ まで上昇させる。すなわち、今までより $i \cdot r$ だけn型基板103の電位を上昇させる。この結果、正サージによるMOSTランジスタQ10のp型領域101の電位上昇に対抗してそのn型基板103の電位も上昇するので、それらの間のpn接合が順バイアスすることがない。

【0052】更に、本実施例の重要な利点は、p型領域101とn型基板103との間のpn接合が順バイアス状態となる前にn型基板103の電位を上昇させることができるので、このpn接合の順バイアス電流をベース電流とするラテラルpnp寄生トランジスタのコレクタ電流すなわち出力側半導体領域102に到達する電流を遮断することができる点にある。

(実施例5) 図1に示す電位設定回路2の他の実施例を図5を参照して説明する。

【0053】この電位設定回路2dは、ダイオードD2のアノードを抵抗素子46を通じて高位電源 $V_{cc}$ に接続し、そのカソードをn型基板103に接続したものである。入力端子INに正サージが入力しない場合、電位設定回路2dはn型基板103にpn接合の漏れ電流を給電しており、抵抗素子46の電圧降下 $\Delta V$ はこの漏れ電流と抵抗素子46の抵抗値とを掛けた値となる。

【0054】入力端子INに正サージが入力してp型領域101を通じてn型基板103の電位が上昇すると、上記漏れ電流の減少または消滅により抵抗素子46の電圧降下 $\Delta V$ が減少又は消滅し、その分だけn型基板103の電位が上昇する。更に、入力端子INに印加される正サージが更に増大するとダイオードD2がn型基板103から高位電源 $V_{cc}$ へのpnp寄生ラテラルトランジスタのベース電流をカットし、p型領域102へコレクタ電流が流れるのを阻止する。

(実施例6) 図1に示す電位設定回路2の他の実施例を図6を参照して説明する。

【0055】この実施例の電位設定回路2eは図1の電位設定回路2において、上記した正サージによるnpnエミッタホロワトランジスタ21のエミッタ・ベース間のpn接合の降伏を防止するために、npnエミッタホロワトランジスタ21のエミッタと低位電源 $V_{ss}$ との



間にツェナダイオード23を設けたものである。このようにすれば、入力端子INに過大な正サージが入力されてトランジスタQ10のソース又はドレインとn型基板103との間のpn接合を介してn型基板103の電圧が上昇しても、npnエミッタホロフトランジスタ21のベース・エミッタ間のpn接合が降伏する前にツェナダイオード23が降伏するのでnpnエミッタホロフトランジスタ21のエミッタ・ベース間のpn接合の降伏を防止することができる。

(実施例7) 図1に示す電位設定回路2の他の実施例を図7を参照して説明する。

【0056】この実施例の電位設定回路2fは図1の電位設定回路2において、接合ダイオードD3、D4、D5を追加し、コレクタ抵抗22を省略したものである。接合ダイオードD3はトランジスタ21のベースと抵抗242との間に介設され、接合ダイオードD4はトランジスタ21のコレクタと高位電源Vccとの間に介設され、接合ダイオードD5は接合ダイオードD1と抵抗243との間に介設されている。

【0057】このようにすれば、過大な正サージによりnpnエミッタホロフトランジスタ21のエミッタ・ベース間のpn接合が降伏しても高耐圧を有する接合ダイオードD3、D4の存在によりnpnエミッタホロフトランジスタ21のエミッタ・ベース間のpn接合に過大な降伏電流が流れることがなく、そのためnpnエミッタホロフトランジスタ21のエミッタ・ベース間のpn接合が破壊されることがない。なお、D5はD3とのバランスのために設けられている。

(実施例8) 図1に示す電位設定回路2の他の実施例を図8を参照して説明する。

【0058】このアナログスイッチ回路は、CMOSアナログスイッチ(CMOSトランスファゲート)1gと、電位設定回路(電位設定手段)2、2gとからなる。CMOSアナログスイッチ1gは図1のアナログスイッチ1において、入力端子INと高位電源V3とをインピーダンス素子Z5を通じて接続し、入力端子INと低位電源V5とをインピーダンス素子Z6を通じて接続し、出力端子OUTと高位電源V4とをインピーダンス素子Z7を通じて接続し、出力端子OUTと低位電源V6とをインピーダンス素子Z8を通じて接続したものである。

【0059】これらのインピーダンス素子Z5～Z8は入力端子IN又は出力端子OUTに重畳するサージ電圧を抑圧するための素子である。この実施例の電位設定回路2gは、図1に示す電位設定回路2と電流の流れが逆となるだけで同じ構成、作用を有する。電位設定回路2gは、本発明でいう電位設定手段を構成するものであって、npnエミッタホロフトランジスタ21aと、そのコレクタと低位電源電圧(単に低位電源ともいう)Vss2とを接続するコレクタ抵抗22aと、本発明でいう

ベース電流設定手段をなすベース電流設定回路部24aとからなり、エミッタホロフトランジスタ21aのエミッタは出力端Vyを通じてアナログスイッチ1gの低位電源電圧入力端をなすトランジスタQ50のソース領域に接続されている。ベース電流設定回路部24aは、低位電源電圧Vss2と共通接続点C'との間に介設された定電流源241a(給電手段)と、共通接続点C'とエミッタホロフトランジスタ21aのベースとの間に介設されて共通接続点C'へベースからベース電流を吸引する抵抗242aと、共通接続点C'をダイオードD8を通じて基準電位点Vss1に接続する抵抗243a(差電流吸引手段)とからなる。この電位設定回路2gの動作を以下に説明する。

【0060】入力端子INに負サージが入力しない状態において、エミッタホロフトランジスタ21aはCMOSアナログスイッチ1gの各pn接合の漏れ電流を供給している。この時、ベース電流設定回路部24aは、エミッタホロフトランジスタ21aの上記エミッタ電流の $1/k$ (kはその電流増幅率)倍のベース電流ibをエミッタホロフトランジスタ21aのベースから吸引する。定電流源241aは、定電流icを共通接続点C'から吸引し、残りの電流ic-ibは基準電圧点(単に基準電圧ともいう)Vss1から共通接続点C'へ給電される。

【0061】いま、抵抗242aの抵抗値をZ2、抵抗243aの抵抗値をZ3、電位設定回路2gの出力電圧すなわちMOSTランジスタQ20のゲート直下半導体領域であるp型ウエル領域203の電位をVy、エミッタホロフトランジスタ21aのエミッタ・ベース間の順方向電圧降下=ダイオードD8の順方向電圧降下= $\Delta V$ とすれば、実施例1の電位設定回路2の場合と同じように、負サージによりエミッタホロフトランジスタ21aのエミッタ電位Vyが下降すると、それに応じて共通接続点C'の電位Vc'も下降することがわかる。

【0062】したがって、エミッタ電位Vyの下降に応じて共通接続点C'の電位Vc'が追従して下降するために、エミッタホロフトランジスタ21aのエミッタ・ベース間のpn接合が負サージにより逆バイアスされて降伏することを防止することができる。なお、エミッタホロフトランジスタ21aのベース電位を一定電位とすることもできる。この場合には、負サージの入力によりエミッタホロフトランジスタ21aのエミッタ電位が下降してそのエミッタ・ベース間のpn接合が降伏してしまう可能性が生じる。また、エミッタホロフトランジスタ21aのベースに低位電源電圧Vss2を直接印加することは可能である。

【0063】なお、基準電圧Vss1としては接地電圧を採用することができ、それよりも負である低位電源電圧Vss2は例えば図9に示すようなスイッチドキャパシタ回路300により発生させることができる。このス

イッチドキャパシタ回路300は周知のものであって、一定周波数で矩形波パルス電圧を発振する発振回路301から出力されるクロック電圧 $V_{c1}$ によりスイッチS1、S3を開閉し、クロック電圧 $V_{c1}$ をインバータ302で反転して形成されたクロック電圧 $V_{c2}$ によりスイッチS2、S4を開閉して負の低位電源電圧 $V_{ss2}$ を形成している。

(実施例9) 図8に示す電位設定回路2gの他の実施例を図10を参照して説明する。

【0064】この電位設定回路2hは、エミッタホロワトランジスタ21aのベース電位を略一定に保持することにより、トランスファゲートQ20のn型領域201(又は202)に負サージが印加され、n型領域201とp型ウエル領域203との間のpn接合が順バイアスしてp型ウエル領域203の電位が低下しても、pnpエミッタホロワトランジスタ21aのベース電位が略一定に保持されているために、pnpエミッタホロワトランジスタ21aのエミッタ電流は遮断され、それにより上記したpn接合に持続して順バイアス電流が流れず、これによりトランスファゲートQ20に寄生して形成されるラテラルnpnトランジスタのコレクタ電流を遮断する機能を付与したものである。

【0065】pnpエミッタホロワトランジスタ21aのベースに略一定電圧を印加するために、この実施例では、トランジスタT100、T101からなるカレントミラー回路を用い、更に、エミッタホロワトランジスタ21aのベースと高位電源 $V_{cc}$ との間にツェナダイオードD102を設けている。ダイオードD100、ツェナダイオード101、抵抗R100、R101、R102、R103はトランジスタT100の負荷素子であり、高位電源 $V_{cc}$ から給電されている。なお、高位電源 $V_{cc}$ の代わりに他の電位の電源を採用してもよい。このようにすれば、エミッタホロワトランジスタ21aのベースに接地電位より高い一定電位を印加できるので、エミッタホロワトランジスタ21aのコレクタを接地することができる。

(実施例10) 本発明のアナログスイッチ回路の他の実施例を図11を参照して説明する。

【0066】このアナログスイッチ回路は、CMOSアナログスイッチ(CMOSトランスファゲート)1と、電位設定回路(電位設定手段)2i、2jとからなる。電位設定回路2iは、図4に示す差動増幅器型の電位設定回路2cにおいて、共通エミッタ負荷素子として抵抗素子430を用い、ツェナダイオード51の代わりに抵抗素子401を用い、図7の接合ダイオードD3、D4をエミッタホロワトランジスタ21の保護用に設けたものである。

【0067】電位設定回路2jは、電位設定回路2iに示した差動増幅器型の電位設定回路により、図8に示す低位側の電位設定回路2gを置換したものである。この

電位設定回路2iは、差動増幅回路4aと、pnpエミッタホロワトランジスタ21aとからなる。差動増幅回路4aは、一对のpnpトランジスタ41a、42aと、その共通エミッタ抵抗(共通負荷素子)430aと、コレクタ抵抗44a、45aとからなる。トランジスタ41a、42aのエミッタは共通エミッタ抵抗430aを通じて高位電源線 $V_{cc}$ に接続されている。トランジスタ41a(第2のトランジスタ)のコレクタはコレクタ抵抗44aを通じて低位電源 $V_{ss2}$ に接続され、トランジスタ42a(第1のトランジスタ)のコレクタはコレクタ抵抗45aを通じて低位電源 $V_{ss2}$ に接続されている。トランジスタ41aのベースは入力端子INに接続され、トランジスタ42aのベースには互いに直列接続された抵抗401a、52aからなる分圧回路から出力される分圧V3が印加されている。トランジスタ42aのコレクタはダイオードD3aを通じてエミッタホロワトランジスタ21aのベースに接続され、エミッタホロワトランジスタ21aのコレクタはダイオードD4aを通じて低位電源 $V_{cc2}$ に接続されている。

【0068】以下、この電位設定回路2jの動作を説明する。なお、負サージが入力端子IN(又は出力端子OUT)に入力されない状態において、分圧V3は入力端子INの電位より負であるとする。入力端子INに負サージが入力しない場合には、トランジスタ41aはオフし、トランジスタ42aはオンし、エミッタホロワトランジスタ21aのベース電位は $V_{ss2} + i \cdot r + \Delta V_d$ となる。 $i \cdot r$ は抵抗45aの電圧降下であり、 $\Delta V_d$ はダイオードD3aの順方向電圧降下である。

【0069】入力端子INに負サージが入力して入力端子INの電位が分圧V3を下回ると、トランジスタ41aがオンし、トランジスタ42aがオフし、エミッタホロワトランジスタ21aのベース電位はほぼ $V_{ss2} + \Delta V_d$ となる。したがって、エミッタホロワトランジスタ21aは、負サージが入力端子INに入力されると、トランジスタQ20のp型ウエル領域203の電位を抵抗45aの電圧降下 $i \cdot r$ だけ低下させ、寄生ラテラルnpnトランジスタのオンを抑止する。すなわち、負サージによるMOSTランジスタQ20のn型領域201又は202aの電位低下に対抗してそのp型ウエル領域203の電位も低下するので、それらの間のpn接合が順バイアスすることがない。

【0070】更に、本実施例ではn型領域201とp型ウエル領域203との間のpn接合が順バイアス状態となる前にp型ウエル領域203の電位を低下させることができるので、ラテラルpnp寄生トランジスタの遮断性に優れる。

【図面の簡単な説明】

【図1】本発明のスイッチ回路の実施例1を示す回路図である。

【図2】本発明のスイッチ回路の実施例2を示す回路図である。

【図3】本発明のスイッチ回路の実施例3を示す回路図である。

【図4】本発明のスイッチ回路の実施例4を示す回路図である。

【図5】本発明のスイッチ回路の実施例5を示す回路図である。

【図6】本発明のスイッチ回路の実施例6を示す回路図である。

【図7】本発明のスイッチ回路の実施例7を示す回路図である。

【図8】本発明のスイッチ回路の実施例8を示す回路図である。

【図9】図8の低位電源電圧 $V_{ss2}$ を発生する回路の一例を示す回路図である。

【図10】本発明のスイッチ回路の実施例9を示す回路図である。

【図11】本発明のスイッチ回路の実施例10を示す回路図である。

【図12】従来のMOSアナログスイッチ回路を示す回路図である。

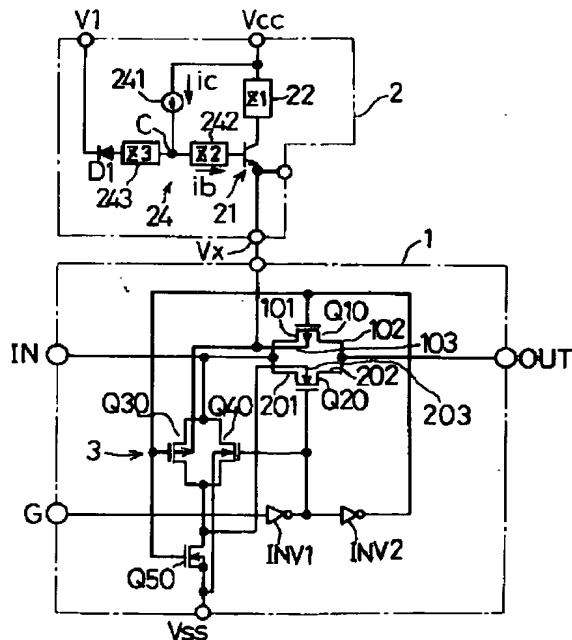
路図である。

【図13】従来のMOSアナログスイッチ回路を示す回路図である。

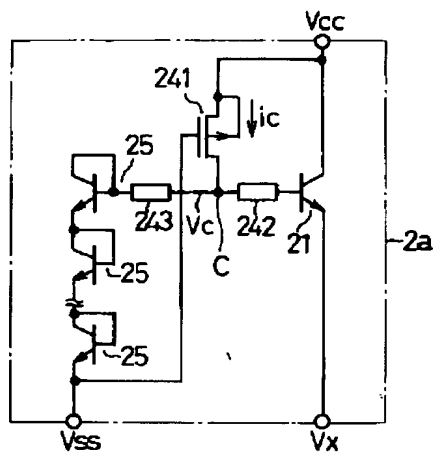
【符号の説明】

101はp型の入力側半導体領域（一導電型半導体領域）、102はp型の出力側半導体領域（一導電型半導体領域）、103はn型基板（n型のゲート直下半導体領域、反対導電型半導体領域）、201はn型の入力側半導体領域（一導電型半導体領域）、202はn型の出力側半導体領域（一導電型半導体領域）、203はp型ウェル領域（p型のゲート直下半導体領域、反対導電型半導体領域）、1はトランスファゲート（アナログスイッチ）、2は電位設定回路（電位設定手段、単方向性電源）、21、21aはnpnエミッタホロワトランジスタ、24はベース電流設定手段、C、C'は共通接続点、241は給電手段、242はベース電流給電手段、243は差電流吸引手段、D1はダイオード、41は第2のトランジスタ、42は第1のトランジスタ、44、45は負荷素子、43は共通負荷素子、241aは給電手段、242aはベース電流給電手段、243aは差電流給電手段。

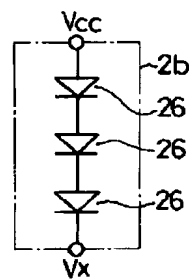
【図1】



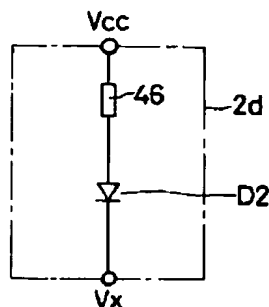
【図2】



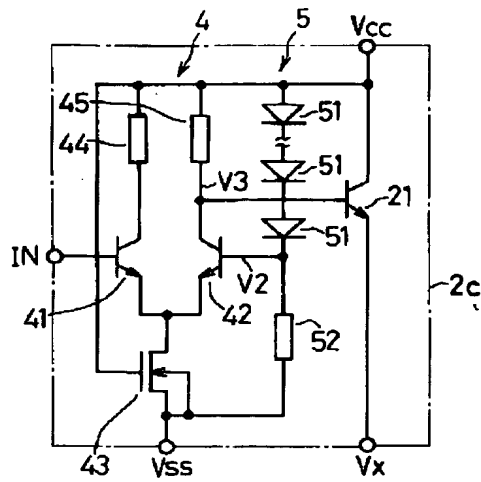
【図3】



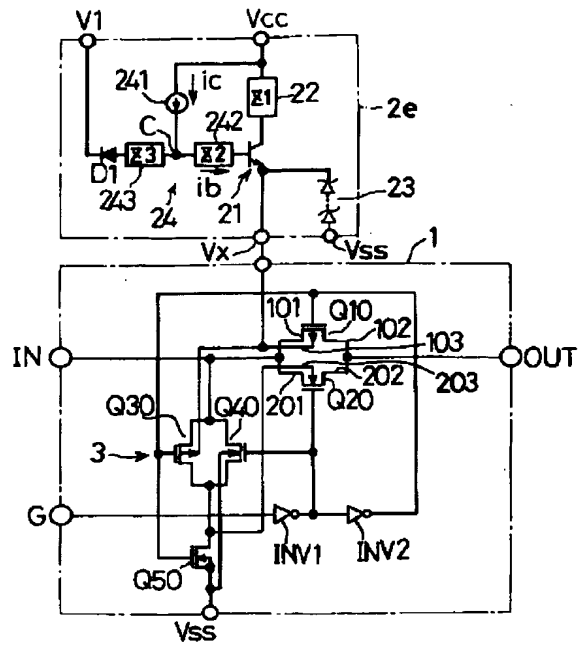
【図5】



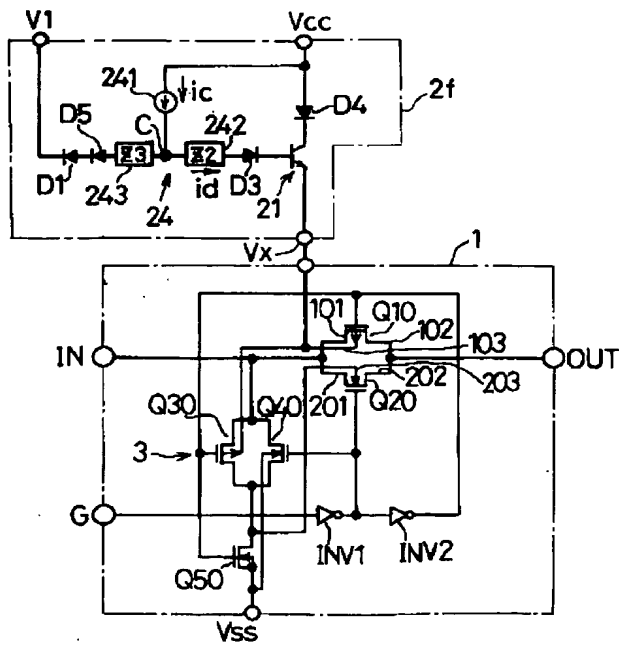
【図4】



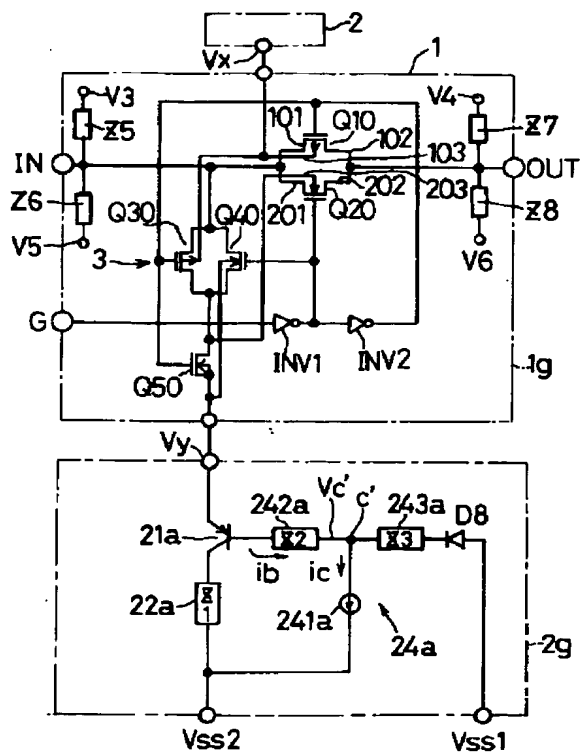
【図6】



【図7】



【図8】





[illegible]